

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261661

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H04L 27/22

H04L 7/02

H04L 25/08

(21)Application number : 10-057683

(71)Applicant : HITACHI DENSHI LTD

(22)Date of filing : 10.03.1998

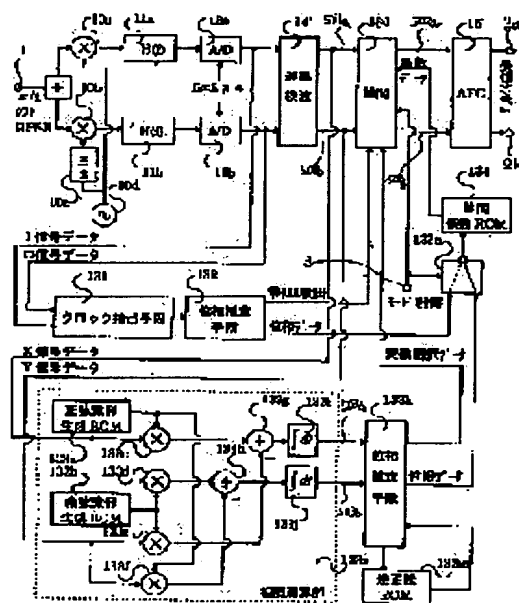
(72)Inventor : ADACHI MASARU
OZAKI TATSUYA
SUDO SHIGEYUKI

(54) BAUD TIMING SYNCHRONIZATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate estimating of an interpolation phase in a demodulation circuit, which acquires the identifying symbol value synchronous with the baud timing from the received signal that is asynchronously oversampled by the interpolation.

SOLUTION: The output of a delay detection part 14', where a preamble series is received and the correlative arithmetic value set between the output series of a sinusoidal wave generation ROM 133a and a cosine wave generation ROM 133b are accumulated, and a sine wave component (A) and a cosine wave component (B) are outputted. A phase estimation means 133k accesses an inverse tangent ROM 133m, based on the ratio set between both components (A) and (B) and outputs the variable selection data, which decide the structure of an interpolation expression and the phase data. An interpolation coefficient ROM 134 outputs the coefficient data which are designated by the phase data to an interpolation part. An interpolation part constitutes a temporal change coefficient filter by the use of the coefficient data and the sample value which is designated by the variable selection data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-261661

(43)公開日 平成11年(1999) 9月24日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 L 27/22
7/02
25/08

H 0 4 L 27/22
25/08
7/02
27/22

C
B
Z
F

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21)出願番号 特願平10-57683

(22)出願日 平成10年(1998) 3月10日

(71)出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町 1 番地

(72)発明者 安達 勝

東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(72)発明者 尾崎 龍哉

東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(72)発明者 須藤 茂幸

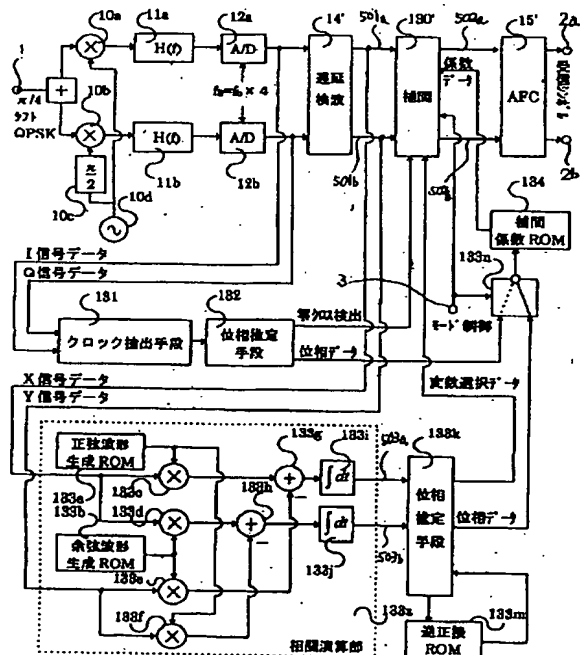
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディア開発本部
内

(54)【発明の名称】 ポータイミング同期方式

(57)【要約】

【課題】非同期にオーバーサンプリングされた受信信号から、ポータイミングに同期した識別用のシンボル値を補間によって得る復調回路において、補間位相の推定を高速化する。

【解決手段】プリアンプル系列を受信した遅延検波部14'の出力と、正弦波生成ROM133a及び余弦波生成ROM133bのそれぞれの出力系列との相関演算値を累積し、正弦波成分(甲)及び余弦波成分(乙)を出力する。位相推定手段133kは甲と乙の比から逆正接ROM133mをアクセスし、補間式の構造を定める変数選択データと位相データを出力する。補間係数ROM134は位相データで指定される係数データを補間部140'に出力する。補間部140'は前記係数データと、変数選択データで指定されるサンプル値を用いて時変係数フィルタを構成し、補間出力を得る。



【特許請求の範囲】

【請求項1】 位相変調信号の復調回路で使用され、送信クロックと非同期にオーバーサンプリングされたサンプルデータ系列から、ポータタイミングの位相を推定し、受信シンボルを補間によって得るポータタイミング同期方式であって、

相関演算部と第1の位相推定手段とにより、受信したブリアンブル系列を利用した補間位相の計算をする第1の補間位相計算モードと、クロック抽出手段と第2の位相推定手段とによる高安定再生クロックのゼロクロス位相を利用した補間位相の計算をする第2の補間位相計算モードの2つの補間位相計算モードを備え、通信状態によって前記第1の補間位相計算モードと前記第2の補間位相計算モードを切替えることを特徴とするポータタイミング同期方式。

【請求項2】 請求項1記載の発明において、バースト通信時には第2の補間位相計算モードによって補間位相計算を行い、バースト通信以外の時は第1の補間位相計算モードによって補間位相計算を行うことを特徴とするポータタイミング同期方式。

【請求項3】 請求項1または請求項2記載の発明において、前記第1の補間位相計算モードと前記第2の補間位相計算モードとの補間位相計算モードの切替えは、受信フレームの冗長部分で行うことを特徴とするポータタイミング同期方式。

【請求項4】 請求項1または請求項2または請求項3記載の発明において、前記第1の補間位相計算モードは、

受信したブリアンブル系列である第1のブリアンブル系列と、該第1のブリアンブル系列を90度移相した第2のブリアンブル系列とを有し、

受信した位相変調信号のベースバンド遅延検波出力のベクトル信号系列と自走タイミングに同期する正弦波との相関演算を累積した第1の累積値と、前記ベクトル信号系列と自走タイミングに同期する余弦波との相関演算を累積した第2の累積値とを出力する相関演算部と、

前記第1の累積値と前記第2の累積値との比から、前記受信したブリアンブル系列の位相を推定し、必要な補間多項式の変数を推定する変数選択データ、さらに補間係数を指示する位相データを出力する第1の位相推定手段と、

前記位相データでアドレスされる補間多項式の係数列を出力する係数メモリと、

前記変数選択データに従いオーバーサンプルデータから複数のサンプルを選択し、前記係数メモリの出力する係数列によって補間多項式構造の時変係数フィルタを構成する補間手段と、

を備えたことを特徴とするポータタイミング同期方式。

【請求項5】 請求項4記載の発明において、前記第1の位相推定手段は、前記第1の累積値と前記第2の累積

値の絶対値の大小から、推定すべき位相が0 [rad]以上かつ $\pi/4$ [rad]未満か、あるいは $\pi/4$ [rad]以上かつ $\pi/2$ [rad]以下であるかを判定し、

前者の位相範囲では前記第1の累積値を前記第2の累積値で除算し、後者の範囲では前記第2の累積値を前記第1の累積値で除算することで位相に関する情報を抽出することを特徴とするポータタイミング同期方式。

【請求項6】 請求項5記載の発明において、前記第1の位相推定手段において抽出された前記位相に関する情報をアドレス情報とするメモリ回路を有し、

該メモリ回路の格納値は、前記アドレス情報の逆正接値を近似した位相情報を格納するメモリを備え、前記位相情報は逆正接値の絶対値が1以下の範囲であることを特徴とするポータタイミング同期方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタル位相変調信号の復調回路において、識別点の受信サンプルを得るために用いられるポータタイミング同期方式に関する。

【0002】

【従来の技術】デジタル位相変調信号の復調回路に、デジタル信号処理技術を適用しLSI化を容易にしたり、汎用のプロセッサで構成することが行われている。

【0003】このとき受信信号は標準化され多値データの形式で扱われる。一方、受信信号の識別点の判定には、受信信号から再生したポータタイミングが必要である。このポータタイミングに同期したサンプルを判定して受信ビットを出力する。

【0004】このため、標準化クロックをポータタイミングに同期させるか、あるいはポータタイミングに同期したサンプルを受信サンプル系列から補間によって求めることが行われる。

【0005】図10に、それぞれの様子を示す。図10(a)は前者の同期サンプルの場合、図10(b)は後者の非同期サンプルの場合の説明図である。位相変調の1シンボルあたり4倍のオーバーサンプルとした。n番目のシンボルの4倍の各サンプルを $X_n(0) \sim X_n(3)$ で示す。

【0006】同期サンプルの場合 $X_n(2)$ のサンプルを受信シンボルとして判定すれば良いが、非同期サンプルではサンプル間の補間によってポータタイミングに同期したサンプルを生成する。

【0007】補間を用いる方法は、デジタル回路のみで実現可能であり、必要なオーバーサンプル数を低く設定できるため構成が容易であること、及び同期精度も柔軟に設定できる利点とを備えている。図8の従来例の構成を説明するブロック図を用いて、以下具体的に述べる。

【0008】図8において、1は入力端子、10aと10bはミキサ、10cは90度移相器、10dはローカル発振器、11aと11bはロールオフ低域フィルタ、12aと12bはA/D変換器であり、入力端子1から入力された位相変調信号を直交

検波し、標本化を行う回路を構成する。また130は補間部、131はクロック抽出手段、132は位相推定手段、14は遅延検波部、15は周波数補償部、2aと2bは受信シンボルの出力端子、134は補間係数ROMであり、デジタル信号処理が行われる。ここで直交検波された信号は、A/D変換器12a、12bからその同相成分のI信号、直交成分のQ信号をそれぞれ出力し、補間部130とクロック抽出手段131に送られる。ただし、A/D変換器12a、12bにおける標本化クロックは、ボータイミングと非同期かつボー速度の4倍のクロックが用いられるとする。前記補間部130では、補間係数ROM134より与えられる時変係数によって、時変係数フィルタ演算による補間処理を実施する。

【0009】この補間を行うためには、標本化クロックとボータイミングの位相差を求め、これを引数として前記係数ROM134をアクセスする処理が必要である。

【0010】前記位相差は、前記クロック抽出手段131においてボータイミングクロックを再生し、位相推定手段132により、そのゼロクロス位相を計算することで求まる。

【0011】前記クロック抽出手段131において131aと131bは乗算器、131cは加算器、131dはボー速度周波数を中心周波数とする帯域通過フィルタである。前記A/D変換器12a、12bから出力した、位相変調信号が直交検波された同相成分のI信号と直交成分のQ信号は、それぞれを乗算器131a、131bで2乗され、それらの出力が加算器131cで合成される。前記乗算器131a、131bで2乗操作されることにより、クロック周波数の線スペクトルが強調される。そして加算器131cでI信号に含まれるクロック成分とQ信号に含まれるクロック成分とを加算強調する。前記加算器131cの出力は帯域通過フィルタ131dで不要周波数成分を除去され、ボータイミングクロックとして抽出される。前記帯域通過フィルタ131dのQを高く設定することで、クロックの安定度を高くすることができる。

【0012】次に前記クロック抽出手段131から出力されたボータイミングクロックは位相推定手段132に送られ、該位相推定手段132は、送られてきた該ボータイミングクロックをもとに、抽出クロックのゼロクロス位相を計算する。前記位相推定手段132において、132aは2段のシフトレジスタ、132bはゼロクロス検出器、132cは位相計算部である。シフトレジスタ132aに格納される2つの連続サンプルを用いて、前記ゼロクロス検出器132bはサンプル間の符号の変化を検出する。この検出結果を、前記ゼロクロス検出器132bは位相計算部132c及び補間部130、遅延検波部14、周波数補償部15に出力する。該補間部130、遅延検波部14、周波数補償部15で処理される信号は、このゼロクロス検出器132bの出力クロックタイミングによって動作する。ゼロクロス位相は、ゼロクロスをもたぐ2つの連続サンプルを直線補間（1次近

似）して求めることができる。前記位相計算部132cは、前記ゼロクロス検出器132bから送られてくる符号の変化データと、前記シフトレジスタ132aから送られてくる連続サンプルデータとから、この直線補間を行い、補間位相を位相差データとして、前記補間係数ROM134に出力する。

【0013】補間位相を求める過程には、前記帯域通過フィルタ131dを含むため、ここで群遅延が生じる。この遅延は一般的にボー速度周波数と整数倍の関係にない。そこで位相推定結果にフィルタ遅延を含めて正しい補間位置になるように、前記補間係数ROM134のメモリ内での配置や、あるいは前記補間部130において時変係数フィルタ演算のサンプル配列を工夫する必要がある。

【0014】前記補間部130においては、例えばラグランジェの多項式構造の時変係数フィルタが用いられる。ここでボータイミングに同期したサンプルをシンボル毎に出力すれば良い。

【0015】以上のような従来例では、補間係数ROM134の大きさによって、柔軟に補間精度が設定できること、補間を用いているのでオーバーサンプル数を低くでき、構成が容易である。

【0016】同じくデジタル信号処理による方法として、補間を用いず、オーバーサンプル数を上げ、位相推定によって求めた点に最も近いサンプルを選択することも考えられるしかし、消費電力デバイス速度などの点で低速通信のアプリケーションを除いて実用が困難である。

【0017】なお、図8に示す従来例では、その結果出力された信号データを、さらに遅延検波器14においてベースバンド遅延検波処理して識別データを得て、さらにローカル発振器10dのエラーを周波数補償部15で補償し、受信シンボルの同相成分I信号を出力端子2aを介して出力し、直交成分Q信号を出力端子2bを介して出力している。

【0018】上述のような補間を用いる公知例としては、特開平6-120991号公報がある。

【0019】

【発明が解決しようとする課題】上記に述べたように従来の補間方式では、ボータイミングクロックの安定度を高めるため帯域通過フィルタを高くする必要があった。このため群遅延が増加して、同期時間が長くなるといった特性があった。したがって高速同期が必要なバースト通信には不向きであった。

【0020】例えば、図11に示す構造のフレームをバースト的に通信する場合を考える。図11では110がタイミング同期確立のためのブリアンブル部、111、113がデータ部、112がフレーム同期のための同期語部である。データ部111、113を正しく復調するためには、帯域通過フィルタの遅延時間に対しブリアンブル部110の区間を長くする必要がある。しかし、ブリアンブル部110は送信データとしては冗長な部分であり、伝送効率の観

点ではブリアンブル部の長さは出来るだけ短い方が望ましい。このブリアンブル部の部分がデータ部に比して、長いほど、ブリアンブル部に合わせてフィルタのQを調整すると、ジッタが増大して誤り率特性が劣化する。

【0021】本発明の目的は、補間方式に適合し、かつ高速同期が可能なボータイミング同期方式を提供することにある。

【0022】

【課題を解決するための手段】上記目的のため本発明のボータイミング同期方式は、ブリアンブル系列（イ）と前記ブリアンブル系列を90度移相した第2のブリアンブル系列（ロ）を準備し、ベースバンド遅延検波出力のベクトル信号系列に対し、前記イ及びロとの相関を計算する相関演算手段と、前記イとの相関演算の結果値（甲）と前記ロとの相関演算の結果値（乙）の比から、受信したブリアンブル系列の位相を推定し、必要な補間多項式の変数を指定する変数選択データ、さらに補間係数を指示する位相データを出力する位相推定手段と、前記位相データでアドレスされる補間多項式の係数列を出力する係数メモリと、前記変数選択データにしたがいオーバーサンブルデータから複数のサンプルを選択し、前記係数メモリの出力する係数列によって補間多項式構造の事変係数フィルタを構成する補間手段を備える。

【0023】

【発明の実施の形態】本発明実施の一例の構成を示すブロック図を図1に示す。図1において、14'は遅延検波部、130'は補間部、15'は周波数補償部、133zは相関演算部、133kは位相推定手段、133mは与えたアドレスの逆正接値を格納するメモリ（以下逆正接ROM）、133nはデータセレクト、3はモード制御信号入力端子、501aはX信号、501bはY信号、502aはX出力、502bはY出力、*

$$X_n(k) = I_n(k) \cdot I_{n-1}(k) + Q_n(k) \cdot Q_{n-1}(k) \quad \cdots \cdots \text{式(1)}$$

$$Y_n(k) = I_{n-1}(k) \cdot Q_n(k) - I_n(k) \cdot Q_{n-1}(k) \quad \cdots \cdots \text{式(2)}$$

以後、この $X_n(k)$ をX信号、 $Y_n(k)$ をY信号と称する。

【0029】X信号501aとY信号501bはそれぞれ相関演算部133zと補間部130'に入力する。

【0030】ここで前提のブリアンブル系列の場合、遅延検波部14'の出力は図9に示すようになる。 $\pi/4$ シフトQPSKは1シンボルで2ビットの情報を担う。ブリアンブル系列では、図9の「10」シンボルと「01」シンボルで示す2つの状態間をシンボル周期で交互に遷移する。即ち、X信号501aには2シンボルで1周期となる正弦波の4倍サンプル列が、Y信号501bにはX信号501aの符号反転したサンプル列が現れる。

【0031】さて相関演算部133zの構成は以下の通りである。

【0032】X信号501aは相関演算部133zに入力すると分岐して2入力の乗算器133cと133dに入力する。Y信号501bは同様に乗算器133eと133fに入力する。前記乗算器133cと133fの他方の入力には正弦波ROM133aが接続してい

* 503aは出力信号甲、503bは出力信号乙である。また従来例の説明に用いた図8と同等の部分には同じ符号が付してある。

【0024】さらに前記相関演算133zを構成している部分で、133aは正弦波を生成出力するメモリ回路（以下正弦波生成ROM）、133bは余弦波を生成出力するメモリ回路（以下余弦波生成ROM）、133c、133d、133e、133fは乗算器、133g、133hは引き算回路、133i、133jは積算回路である。

10 【0025】また信号条件として、図1の実施例での入力する位相変調信号は $\pi/4$ シフトQPSK信号とし、直交検波でのオーバーサンブル数は1シンボルあたり4倍とする。また受信するフレームは図1で説明した構造を持つとして、ブリアンブル部110のビット配列は、「10011001・・・」の交番符号とする。

【0026】以下に動作を説明する。入力端子1からA/D変換器12a、12bまでの動作と直交変調信号が補間部130'を通過して受信シンボル信号として出力端子2a、2bから出力される流れの説明は、従来例で説明した内容と同様なので省略する。

【0027】直交検波され標本化された4倍オーバーサンブルのI信号とQ信号は遅延検波部14'に入力される。該遅延検波部14'では入力されたI信号とQ信号のサンプルと1シンボル時刻前のサンプルを用いて、次に示す遅延検波演算を行う。ただしnシンボル目の各4倍サンプルを順に、 $I_n(k)$ 、 $Q_n(k)$ 、 $k=0, 1, 2, 3$ として表す。このとき、次の式(1)、式(2)のように遅延検波演算の結果4倍サンプルの $X_n(k)$ 、 $Y_n(k)$ のサンプル系列を得る。

30 【0028】

る。また乗算器133dと133eの他方の入力には余弦波ROM133bが接続している。そして前記正弦波生成ROM133aが接続している前記乗算器133c、133fの出力は、前記乗算器133cが引き算器133gの被減数入力に、前記乗算器133fが同じく引き算器133gの減数入力に接続する。前記余弦波生成ROM133bに接続している前記乗算器133d、133eについては、前記乗算器133dが前記引き算器133hの被減数入力に、前記乗算器133eが同じく前記引き算器133hの減数入力に接続する。この前記引き算器133g、133hの出力は、それぞれ積算回路133i、133jに入力する。また前記積算回路133iの出力を甲、同じく前記積算回路133jの出力を乙と称する。

【0033】前述の相関演算部133zは働きは次のようである。

【0034】図2に4倍サンプルと位相推定値の関係を示す。図2には自走ボータイミングに同期して繰り返す4倍オーバーサンブルカウント値と前記正弦波生成ROM133

aと前記余弦波生成ROM133bの出力波形のイメージが示してある。各出力波形の1周期は2シンボルとしている。即ち、ブリアンブル系列とそれを90度移相した波形を自走タイミングで順次出力している。

【0035】前記相関演算部133zは入力するX信号501a、Y信号501bと、自走ポートタイミングに同期する正弦波との相関演算の累積値を計算し、出力信号甲503aとする。また同様に余弦波との相関演算の累積値を計算し、出力信号乙503bとする。ブリアンブル系列ではY信号501bはX信号501aの符号反転となるので、X信号501aと生成波形との乗算結果からY信号501bと生成波形の乗算結果を減算することで、加算強調が行われる。これを積算回路133i、133jで所定シンボル数積算する。例えば16シンボルの期間積算する。当然、ブリアンブル長は積算シンボル数より長い必要がある。

【0036】さて、前記出力信号甲503a及び出力信号乙503bは、ブリアンブルの正弦波成分、余弦波成分であるから、前記出力信号甲503aと出力信号乙503bの結果を正接値として、逆正接を求めれば受信したX信号502a、Y信号501bの位相が求まる。

【0037】この位相は、図2に示すようにオーバーサンブルカウント値0を中心に $\pm \pi/2$ [rad]の範囲となる。いま2シンボルを1周期としているので、逆正接により求まる位相は1シンボルの全区間を含み、補間位相が計算できる。

【0038】この計算は、前記位相推定手段133kと前記逆正接ROM133mによって行われる。この過程を次に示す。図3は位相推定と補間式の選択処理の動作フローの一例を示す図である。位相推定手段133kで実施される。出力信号甲503aと出力信号乙503bの比を求めるとき、その比が1以下になるように工夫する。必要な逆正接ROM133mの引数である正接値を1以下とすることで、メモリ容量を圧縮できる。また結果が1以下になる場合の除算処理は、汎用DSP(ディジタル・シグナル・プロセッサ)で比較的容易に実行できる。

【0039】図3のフローにしたがって順次説明する。

【0040】入力した正弦波相関累積値(出力信号甲503a)と余弦波相関累積値(出力信号乙503b)の絶対値の大小を比較する(ステップ300)。出力信号乙503bの絶対値が出力信号甲503aの絶対値と等しいかより大きい場合、正接値となる(甲÷乙)の絶対値を計算する(ステップ302)。出力信号乙503bの絶対値が出力信号甲503aの絶対値未満である場合、余弦値となる(乙÷甲)の絶対値を計算する(ステップ303)。この除算結果は、逆正接ROM133mをアクセスするためアドレスとして必要なもので、本実施例では除算結果の上位7ビットを使用する。結果は非負数であるから、整数値として0~127を得る。

【0041】ステップ300~303までの場合分けは、求める位相が $0 \sim \pi/4$ の範囲と $\pi/4 \sim \pi/2$ の範囲で計算方法

を分ける意味がある。

【0042】図4に逆正接ROM引き操作を説明する図を示す。縦軸が1以下となる正接値、あるいは余弦値、横軸(上)が $0 \sim \pi/2$ [rad]の位相、横軸(下)が $0 \sim \pi/2$ の範囲を64分割したときの整数値表現である。正弦値と余弦値は $\pi/4$ を中心に折り返す曲線を描く。そこで、図示したように $0 \sim \pi/4$ の位相範囲の逆正接ROMを用意すれば、計算を工夫することで $0 \sim \pi/2$ の範囲を特定することができる。また $0 \sim \pi/4$ の範囲であれば正接値が1以下となり、必要なアドレス数を圧縮できる。このように逆正接ROM引き操作は、除算結果の上位ビットを整数値読み出したアドレスで、整数値で格納した位相を読み出すことを意味する。

【0043】補間精度は $0 \sim \pi/2$ [rad]の分割数で決まる。そして分割数を全てアクセスするための必要な除算結果のビット精度が求まる。 $0 \sim \pi/2$ [rad]を64分割、即ち4倍オーバーサンプル間を32分割する精度で補間を行う場合、除算結果に求められるビット数は例えば7ビットである。128ワードのROM格納値をプロットした図を図5に示す。

【0044】図3のフローの説明に戻る。ステップ302の次は位相推定値として、前記整数読み正接値でアクセスした逆正接ROM133mの格納値を読み出すステップ(ステップ304)。そしてこの整数値位相で補間係数ROMをアドレスするステップ(ステップ306)である。またステップ303で余弦値を求めた場合、位相推定値は $\pi/2$ [rad]を示す整数値64から、余弦値をアドレスとする逆正接ROM133mの格納値を引き算する(ステップ305)。この場合の補間係数ROMのアドレス計算は、ステップ305で求めた位相推定値から32を引き算した値とするステップ(ステップ307)で行う。即ち、補間係数ROM134として $0 \sim \pi/4$ [rad]のサンプル間の補間位置に対する係数のみ用意し、 $\pi/4$ を超える位相差があった場合、補間式に代入するサンプルをシフトさせる。よって、4倍サンプルのどのサンプルを使用して補間を行うか、推定位相値によって処理ステップの切替えが必要となる。図3のステップ308~ステップ314の処理が該当する。

【0045】まず、前記出力信号甲503a、出力信号乙503bの符号の関係を調べ(ステップ308)、位相の進み、後れを判定する。次に位相推定値が $\pi/4$ [rad](整数値32)以上か未満かで場合分けを行う(ステップ309及び310)。その結果、ステップ311~314に示す4通りの補間式を選択するための、変数選択コードが補間部130'に出力される。

【0046】補間式としては連続する3つのサンプルを使用するラグランジェ多項式を用いる。補間位相に対する、この多項式の係数値を図6に示す。位相推定部133kから前記ステップ306の位相推定値あるいは前記ステップ307の位相推定値から $\pi/4$ (整数値32)を引いた値が、位相データとして出力される。これによって補間係

数が決定される。

【0047】以上が位相推定部133kの構成と動作である。次に補間部130'の動作を説明する。図7に補間部130'の構成の一例を示す。図7において130xはX信号データ501aに対する補間処理を行う補間処理ブロック、130yはY信号データ501bに対する補間処理を行う補間処理ブロックである。補間処理130xと補間処理130yの構成は全く同等である。

【0048】補間処理ブロック130xにおいて、130aは6段のシフトレジスタ、130bは6入力3出力の選択回路、130c、130d、130eは乗算器、130fは3入力の加算器である。また130gは3段のシフトレジスタで、補間係数ROM134から読み出された3点補間の係数値が格納される。遅延検波部14'から出力されたX信号データ501aは順次シフトレジスタ130aに入力され、この6サンプルのデータが選択回路130bに入力される。選択回路130bの選択制御入力には、モード制御信号と位相推定手段133kの出力する変数選択データとが入力される。この2つの制御入力にしたがって選択された3点のサンプルデータをそれぞれ、乗算器130c、130d、130eへ入力する。これら乗算器130c、130d、130eへはシフトレジスタ130gの出力が入力されており、3つの乗算器出力を加算器130fで加算してX信号501aの補間出力(X出力)502aを得る。Y信号501bの場合も同様にしてY信号の補間出力(Y出力)502bを得る。以上の補間計算はDSPによって実行することを想定している。補間計算を行うタイミングは前記シフトレジスタ130aに図7に図示した順番にデータが並んだ時行えば良い。選択回路130bはこの順番に基づき選択するように設計する。上記の順番は4サンプルシフト毎に現れるので、1シンボル周期に1回、補間出力が行われ

る。

【0049】ここで、入力端子3から補間部130'に入力するモード制御信号について説明する。該モード制御信号は、前記補間部130'の他、前記データセクタ133nの制御入力に接続する。前記データセクタ133nは、モード制御信号にしたがって、前記位相推定手段132から出力する位相データと前記位相推定手段133kの出力する位相データのどちらかを選択して前記補間係数ROM134のアドレスとして出力する。また、前記補間部130'は、前記モード制御信号にしたがって、2つの補間位相計算の方法のどちらかに計算方法を切り替える。本実施例では前記相関演算部133zと前記位相推定手段133kによるブリアンブル系列を利用した補間位相の計算と、前記クロック抽出手段131と前記位相推定手段132による高安定再生クロックのゼロクロス位相を利用した補間位相の計算の2つのモードを備える。

【0050】後者のモードは、バーストフレームが長期に渡り連続して、前記帯域通過フィルタ131dの遅延時間が問題とならなくなった場合などに、高安定なゼロクロス利用に切り替えるためである。モード制御信号がゼロ

クロスを指示する場合、前記補間部130'は前記位相推定手段132のゼロクロス検出時に補間を行うように動作する。ただしこの切り替え動作は受信フレームの冗長部分で行うものとする。

【0051】以上のような信号処理過程により、ブリアンブル系列を受信することで補間すべき位相がブリアンブル期間内に高速に計算できる。この構成にはフィルタ手段を用いていないので、遅延が発生せずバースト通信に好適である。

【0052】実施例では特に位相計算に必要な逆正接ROM133mの容量を低減する目的で、位相計算方法を工夫している。求める位相の範囲を $0 \sim \pi/4$ 、 $\pi/4 \sim \pi/2$ に分割し、前者は1以下の正接値から、後者は $\pi/2$ から1以下の余弦値を減算した値を求める方法を用いた。

【0053】この結果必要な逆正接ROMは正接値が1以下の位相範囲となっている。また、 $\pi/4$ [rad]を超える補間は4倍オーバーサンプルを1サンプルシフトすることで対応した。したがって補間に必要な係数ROMも $0 \sim \pi/4$ [rad]の範囲で済み、従来例のゼロクロス検出による係数ROMを共用することができる。

【0054】

【発明の効果】以上説明したように本発明によればディジタル処理に適し、低オーバーサンプルで構成の容易な補間型のポータタイミング同期方式において、補間位相の推定にフィルタ手段を用いていないので遅延が発生せず、高速に推定が行える効果がある。

【0055】その結果、バースト通信に補間型のポータタイミング同期方式が適用できる。

【図面の簡単な説明】

【図1】 本発明の実施例の構成を説明するブロック図。

【図2】 4倍サンプルと推定位相の関係図。

【図3】 位相推定と補間式の選択処理の動作フローチャート。

【図4】 逆正接ROMの引き操作を説明する図。

【図5】 逆正接ROMの格納値。

【図6】 補間係数ROMの係数値の一例。

【図7】 補間部130'の構成の一例を示す図。

【図8】 従来例の構成を説明するブロック図。

【図9】 ブリアンブル部の遅延検波出力を説明する図。

【図10】 シンボル補間動作を説明する図。

【図11】 フレーム構造の一例を示す図。

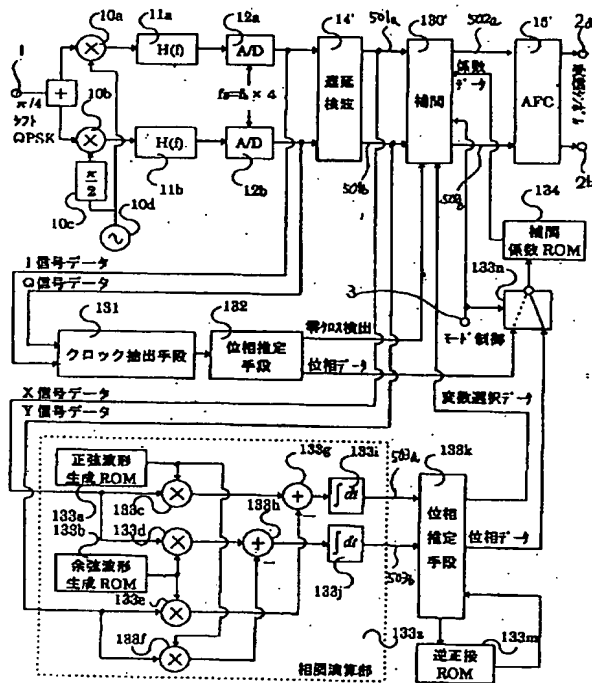
【符号の説明】

1: 入力端子、 2a、2b: 出力端子、 3: モード制御端子、 10a、10b: ミクサ、 10c: 90度移相器、 10d: ローカル発振器、 11a、11b: ロールオフ低域フィルタ、 12a、12b: A/D変換器、 130、130': 補間部、 130a: シフトレジスタ、 130b: 選択回路、 130c、130d、130e: 乗算器、 130f: 加算器、 130g: シフ

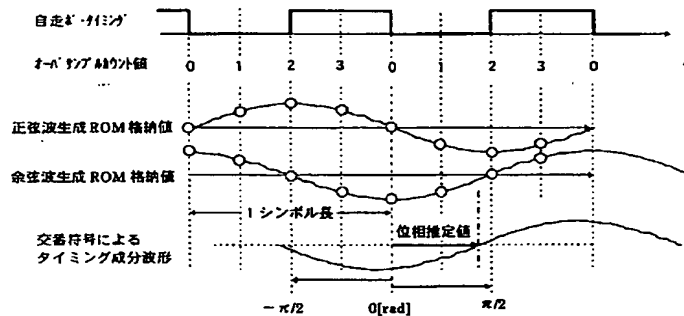
11

トレジスタ、130x、130y: 補間処理ブロック、14、14': 遅延検出部、15、15': 周波数補償部、131: クロック抽出手段、131': クロック抽出手段、131a、131b: 乗算器、131c: 加算器、131d: 帯域通過フィルタ、132、133k: 移相推定手段、132a: シフトレジスタ、132b: ゼロクロス検出部、132c: 位相計算部、133a: 正弦波生成ROM、133b: 余弦波生成ROM

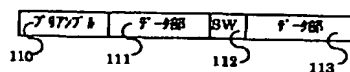
【図1】



【図2】



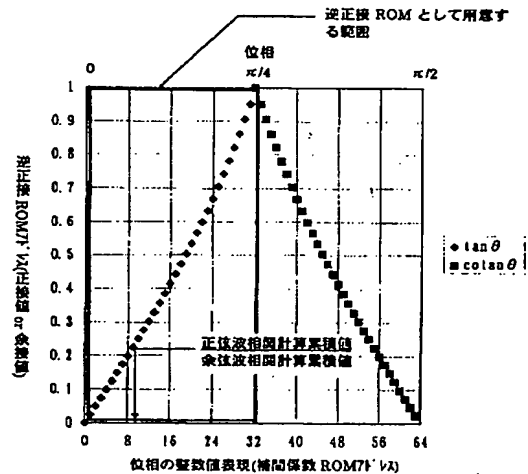
【図11】



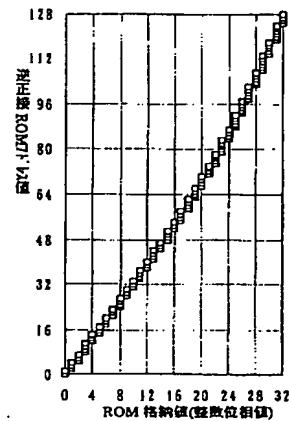
12

* CM 133c、133d、133e、133f: 乗算器、133g、133h: 引き算器、133i、133j: 積算回路、133m: 逆正接ROM、133n: データセクタ、134: 補間係数ROM、501a: X信号、501b: Y信号、502a: X出力、502b: Y出力、503a: 出力信号甲、503b: 出力信号乙、

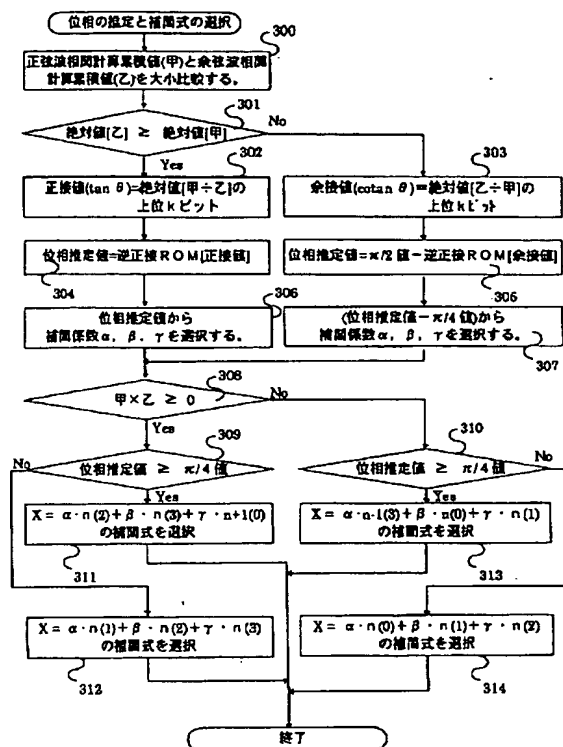
【図4】



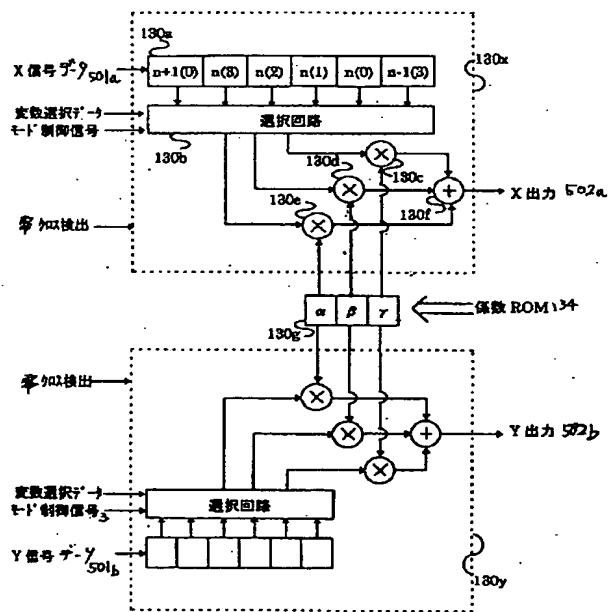
【図5】



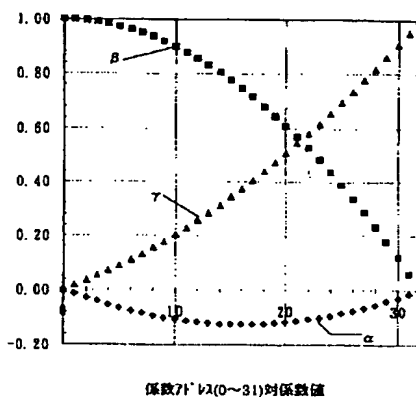
【図3】



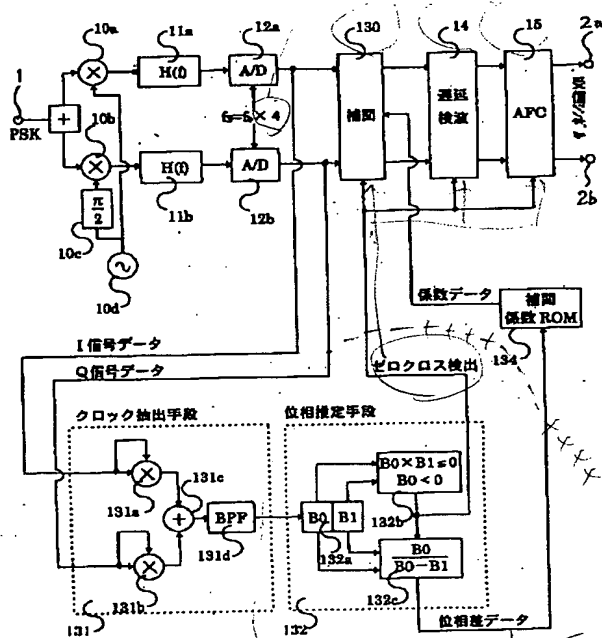
【図7】



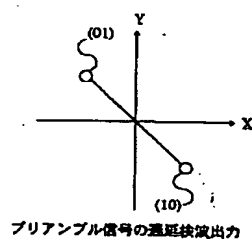
【図6】



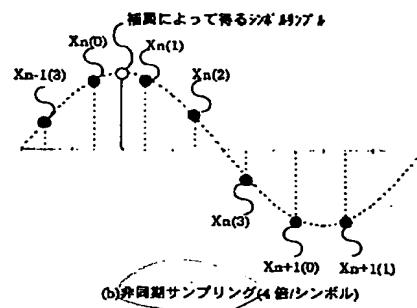
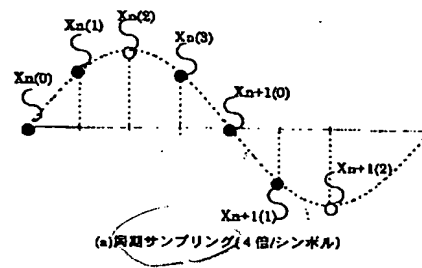
【図8】



【図9】



【図10】



×4 あるいは 7/4, 7/4